
(19) KOREAN INTELLECTUAL PROPERTY OFFICE

KOREAN PATENT ABSTRACTS

(11)Publication number: 1019940008139
(43)Date of publication of application: B1
03.09.1994

(21)Application number: 1019910009995
(22)Date of filing: 17.06.1991

(71)Applicant: SAMSUNG ELECTRONICS CO.
(72)Inventor: JEON, DONG-SOO
SEOK, YONG-SIK

(51)Int. Cl G11C 7 /06

(54) DATA SENSE AMPLIFYING CIRCUIT FOR SEMICONDUCTORMEMORY DEVICE

(57) Abstract:



The data sense amplifying circuit includes a signal amplifying circuit, a first MOS capacitor with the gate connected to a first bit line and the source and drain commonly connected to the signal amplifying circuit, and a second MOS capacitor with the gate connected to a second bit line and the source and drain commonly connected to the signal amplifying circuit, thereby rapidly sensing data.

Copyright 1997 KIPO

Legal Status

Date of request for an examination (19910617)
Notification date of refusal decision (00000000)
Final disposal of an application (registration)
Date of final disposal of an application (19941203)
Patent registration number (1000808470000)
Date of registration (19941228)
Number of opposition against the grant of a patent ()
Date of opposition against the grant of a patent (00000000)
Number of trial against decision to refuse ()
Date of requesting trial against decision to refuse ()

특1994-0008139

(19) 대한민국특허청(KR)
(12) 특허공보(B1)

(51) Int. Cl.⁵
G11C 7/06

(45) 공고일자 1994년09월03일
(11) 공고번호 특1994-0008139

(21) 출원번호	특1991-0009995	(65) 공개번호	특1993-0001207
(22) 출원일자	1991년06월17일	(43) 공개일자	1993년01월16일
(71) 출원인	삼성전자 주식회사 김광호 경기도 수원시 권선구 매탄동 416번지		

(72) 발명자 전동수
서울특별시 서초구 서초2동 신동아파트 3동 1011호
석용식
대구직할시 서구 평리4동 1348-4 1/607
(74) 대리인 미관주

심사관 : 박종호 (특허공보 제3733호)

(54) 반도체 메모리 장치의 데이터 감지 증폭회로

요약

내용 없음.

도면

도1

요청서

[발명의 명칭]

반도체 메모리 장치의 데이터 감지 증폭회로

[도면의 간단한 설명]

제1도는 종래의 회로도.

제2도는 본 발명의 회로도.

제3도는 제2도의 동작 파형도.

제4도는 모오스 캐패시터의 파형도.

* 도면의 주요부분에 대한 부호의 설명

10 : 등화회로 20 : 메모리 셀
30 : 신호증폭기 40 : 감지증폭기
50 : 전달회로

[발명의 상세한 설명]

본 발명은 반도체 메모리 장치의 데이터 감지 회로에 관한 것으로, 특히 메모리 셀과 비트라인간의 데이터 공유 시점에서 미약한 정보 신호를 증폭하여 신속하게 데이터를 감지할 수 있는 회로에 관한 것이다.

반도체 메모리 장치인 다이내믹 램(Dynamic random Access Memory, 이하 "DRAM"이라 칭함)은 로우 다코더에 의해 선택된 메모리 셀에 축적된 데이터를 셀 트랜지스터의 드레인에 접속된 비트라인으로부터 출전하거나 방전하고, 상기 비트라인 상에서 전압차 형태로 나타난 정보는 상기 비트라인에 방출 연결된 감지증폭에 의해 감지 증폭되어 외부로 읽혀진다. 그리고 독출된 상기 메모리 셀에는 다시 원래의 데이터가 충전 또는 방전되어 다이내믹한 메모리 기능을 갖는다. 그러나 전체적인 메모리 장치의 집적도가 증가하고 고속 동작화 되어감에 따라 메모리 셀의 정전 용량이 축소되고 이는 상대적으로 비트라인의 정전 용량에 의해 부하가 가중되는 결과가 된다. 따라서 데이터의 신속한 감지 동작을 위해서는 메모리 셀의 비트라인의 정전 용량에 가까워져야 하는 물론이다.

제1도는 메모리 셀에 저장된 데이터를 감지하는 종래의 일반적인 회로도로서, 제1도의 구성에 인가 종래의 데이터 감지 동작을 살펴본다. 단자(9)로는 중간 전압 발생기(half vcc generator) 프리차아지를 위한

등화 전압이 인가되는데, 여기서는 $\frac{V_{cc}}{2}$ 라고 가정한다. 먼저 메모리 셀 어레이(20)내의 엔모오스 트랜지스터(22)와 캐패시터(23)로 구성된 메모리 셀에서 데이터를 추출하기 전에 제1 및 제2비트라인(BL, \overline{BL})을 프리차arge 시키기 위하여, 단자(11)는 하이 레벨의 등화신호 ψEQ 를 인가한다. 따라서 엔

모오스 트랜지스터(12~14)가 도통되어 제1 및 제2비트라인(31, 32)는 $\frac{V_{cc}}{2}$ 레벨로 프리차arge 및 등화되어 있는 상태가 된다. 이후 행 디코더(row decoder)에 의해 워드라인(21)이 선택되면 엔모오스 트랜지스터(22)가 도통되며, 이로인해 엔모오스 트랜지스터(22)의 드레인으로는 캐패시터(23)의 저장 데이터 레벨이 나타난다. 따라서 상기 캐패시터(23)와 제1비트라인(BL)간에는 전하공유(charge sharing)동작이 일어난다.

그러면 상기 제1 및 제2비트라인(31, 32)에 크로스 연결된 피모오스 트랜지스터(42, 43) 및 엔모오스 트랜지스터(45, 46)에 의해 제1비트라인(BL)의 데이터 레벨이 감지하여 증폭됨으로서, 데이터의 논리가 결정된다. 상기 감지증폭기(40)에 의해 데이터 논리가 결정되면, 라인(51)로 하이 레벨의 분리신호가 인가되어 전달 게이트인 엔모오스 트랜지스터(52, 53)를 도통시키며, 이로인해 제1 및 제2비트라인(BL, \overline{BL})의 논리상태를 제1 및 제2입출력라인(10, \overline{IO})으로 전송된다. 따라서 제1 및 제2비트라인(BL, \overline{BL})을

$\frac{V_{cc}}{2}$ 로 프리차arge 시키기 후, 외부에서 어드레스가 주어지게 되면, 특정 워드라인이 선택되어 해당 메모리 셀이 갖고 있는 정보를 비트라인으로 전달하게 되는 것이다. 그러나 메모리 셀의 캐패시터의 용량에 비하여 비트라인의 캐패시턴스 용량이 크므로, 전달되는 정보는 매우 미약하게 된다. 이를 개선하기 위해서는 메모리 셀의 캐패시터 용량을 증가시키거나 또는 비트라인의 캐패시턴스 용량을 감소시켜야 하는데, 이할 경우에는 메모리 장치(chip)의 면적을 크게 하여야 하는 단점이 야기되었다.

따라서 본 발명의 목적은 반도체 메모리 장치에서 메모리 셀과 비트라인 간의 데이터 공유시점에서 발생하는 미약한 정보신호를 감지 증폭 전에 1차 증폭함으로서 메모리 셀의 정보를 신속하게 안정화시킬 수 있는 회로를 제공함에 있다.

상기 본 발명의 목적을 달성하기 위하여, 본 발명은, 워드라인과, 제1 및 제2비트라인과, 등화신호 발생시 상기 제1 및 제2비트라인을 중간 전압 레벨로 프리차arge 하는 등화회로와, 상기 워드라인과 제1비트라인에 연결되며 소정의 데이터를 저장하는 메모리 셀과, 상기 제1 및 제2비트라인의 정보를 감지 및 증폭하는 감지증폭기를 구비하는 반도체 메모리 장치에 있어서, 상기 워드라인 인에이블후 소정 시간 뒤에 인에이블되는 신호증폭 수단과, 상기 제1비트라인에 게이트가 연결되고 상기 신호증폭 수단에 소오스 및 드레인 인에이블되는 제1모오스 캐패시터와, 상기 제2비트라인에 게이트가 연결되고 상기 신호증폭 수단에 소오스 및 드레인이 공통 연결되는 제2모오스 캐패시터로 구성되어, 상기 제1 및 제2모오스 캐패시터가 게이트 도트의 전압 바이아스에 의해 캐패시턴스 용량이 변화되어 제1 및 제2비트라인의 전압차를 상기 감지증폭기보다 먼저 증폭함으로써 상기 감지증폭기가 신속하고 안정된 감지 기능을 수행하도록 동작하는 반도체 메모리 장치의 데이터 감지 증폭회로를 특징으로 한다.

이하 본 발명을 도면을 참조하여 상세히 설명한다.

제2도는 본 발명에 의한 반도체 메모리 장치의 데이터 감지 증폭회로의 실시예를 보여주는 도면이다. 그 구성은, 엔모오스 트랜지스터(12~14)로 구성되며, 등화라인(11)에 게이트가 공통 접속되어 제1 및 제2비

트라인(BL, \overline{BL})을 $\frac{V_{cc}}{2}$ 로 프리차arge하는 등화회로(10)와, 엔모오스 트랜지스터(22) 및 캐패시터(23)로 구성되며 해당 워드라인(21)이 인에이블될시 상기 캐패시터(23)에 저장하고 있는 정보를 제1비트라인(BL)으로 출력하는 메모리 셀(20)과, 제1 및 제2비트라인(BL, \overline{BL})에 각각 게이트가 접속되며, 드레인 및 소오스가 신호증폭 수단(31)에 공통 접속되는 제1 및 제2모오스 캐패시터(32, 33)로 구성되어 상기 신호증폭 수단(31)이 인에이블될시 상기 제1 및 제2비트라인(BL, \overline{BL})의 미약한 정보 신호를 1차 증폭하는 신호증폭기(30)와, 상기 제1 및 제2비트라인(BL, \overline{BL})에 게이트가 각각 크로스 연결되는 두 개의 피모오스 트랜지스터(42, 43) 및 엔모오스 트랜지스터(45, 46)로 구성되어 1차 증폭된 제1 및 제2비트라인(BL, \overline{BL})의 정보 신호를 감지 및 증폭하며 정보의 논리 레벨을 결정하는 감지증폭기(40)와, 상기 제1 및 제2비트라인(BL, \overline{BL})과 제1 및 제2입출력라인(10, \overline{IO}) 사이에 각각 연결되는 두개의 전달용 엔모오스 트랜지스터(52, 53)로 구성되어 상기 제1 및 제2비트라인(BL, \overline{BL})의 정보 신호를 상기 제1 및 제2입출력라인(10, \overline{IO})로 전달하는 전달회로(50)로 구성된다.

제3도는 본 발명에 따른 신호증폭기(30)의 동작파형도로서, 제3A도는 메모리 셀의 정보가 데이터 "1"일시의 동작파형도이고, 제3B도는 메모리 셀의 정보가 데이터 "0"일시의 동작파형도이다. 제4도는 엔모오스 트랜지스터의 캐패시턴스 대 전압의 특성도이다.

상술한 구성에 의거 본 발명의 동작특성을 상세히 설명한다.

먼저 등화 과정을 살펴보면, 메모리 장치의 리드 또는 라이트 모드에서 등화라인(11)으로 등화신호 ψEQ 가 인가되면, 엔모오스 트랜지스터(12~14)가 도통되어 제1 및 제2비트라인(BL, \overline{BL})은 중간 전압 발

생기(half vcc generator)로부터 출력되는 $\frac{V_{cc}}{2}$ 전압 레벨로 등화 및 프리차아지 된다. 이후 외부에서 어드레스가 공급되면 해당 어드레스에 대응되는 워드라인(21)이 선택된다. 상기 워드라인(21)이 인에이블

되면, 메모리 셀(20)의 엔모오스 트랜지스터(22)가 도통되어 제1비트라인(BL)은 상기 $\frac{V_{cc}}{2}$ 전압과 상기 캐패시터(23)의 정보에 의한 전하공유 동작이 발생된다. 이때 상기 워드라인(21)이 인에이블되어 전하

공유 동작이 발생되면, 캐패시터(23)의 정보에 따라 제1비트라인(BL)의 전압은 $\frac{V_{cc}}{2}$ 전압보다 ΔV 만큼 크거나 ΔV 만큼 작게된다. 이때 신호증폭 수단(31)을 인에이블시키면, 제1모오스 캐패시터(32) 및 제2모

오스 캐패시터(33)가 도통되어 각각 제1비트라인(BL) 및 제2비트라인(\overline{BL})의 신호를 1차 증폭시킨다. 여기서 일반적인 캐패시터의 커플링효과(coupling effect)에 의해 전극의 일단(여기서는 제2도의 모오스 캐패시터(32 또는 33)의 채널측)에 전압이 인가되면, 반대쪽인 전극의 타단(여기서는 제2도의 모오스 캐패시터(32 또는 33)의 게이트측)에도 상기 인가된 전압 레벨에 대응하여 전압이 상승 또는 하강하게 됨은 잘 알려진 사실이다. 이때 상기 제1 및 제2모오스 캐패시터(32, 33)는 제4도와 같은 특성 곡선을 갖는다. 즉, 인헨스먼트형의 엔모오스 트랜지스터는 일정 전압범위($V_{min} \sim V_{max}$)내에서는 전압이 높아지면 캐패시턴스도 높아지고, 전압이 낮아지면 캐패시턴스도 낮아진다.

따라서 캐패시터(23)의 정보 전하량에 의해 전하공유 상태에서는 상기 제1 및 제2비트라인(BL, \overline{BL})의 바이어싱(biasing)이 다르게 되어 있으므로, 상기 제1 및 제2모오스 캐패시터(32, 33)에 의해 증폭되는 크기도 다른 값을 갖게된다. 한편 바이어스전압에 따라 캐패시턴스의 용량이 변화되는 기술에 대하여는 폴-리치먼(Paul Richman)이 저술한 "MOS Field-Effect Transistors and Integrated Circuits"의 페이지 53~67 사이에 상세하게 언급된 바와 같다.

여기서 먼저 상기 메모리 셀(20)의 캐패시터(23)에 저장된 정보가 데이터 "1"일시의 동작 과정을 살펴본

다. 먼저 등화라인(11)이 인에이블되면 제1 및 제2비트라인(BL, \overline{BL})은 $\frac{V_{cc}}{2}$ 전압으로 동일하게 프리차아지 된다. 이후 제3A의 (A1)과 같이 워드라인이 인에이블되면, 엔모오스 트랜지스터(22)가 도통되므로, 캐패시터(23)에 충전되어 있는 전하가 상기 엔모오스 트랜지스터(22)를 통해 제1비트라인

(BL)으로 방전된다. 따라서 제2비트라인(\overline{BL})은 제3A도의 (A4)와 같이 $\frac{V_{cc}}{2}$ 전압으로 프리차아지된 상

태를 유지하지만, 제1비트라인(BL)은 제3A도의 (A3)와 같이 메모리 셀의 정보에 의해 $\frac{V_{cc}}{2} + 1$ 전압 레벨로 상승한다. 여기서 상기 1전압은 캐패시터(23)에 충전되어 있던 데이터 "1"에 의한 미소전압이 된다. 따라서 상기 제1 및 제2비트라인(BL, \overline{BL})은 V_1 의 아주 작은 전압차를 갖게된다. 상기 워드라인(21)이 제3A도의 (A1)과 같이 인에이블 된후, (A2)와, 같이 신호증폭 수단(31)을 인에이블시키면, 제1 및 제2모오스 캐패시터(32, 33)는 각각 제1 및 제2비트라인(BL, \overline{BL})의 신호를 1차 증폭시키게 된다. 이때 상기

제1 및 제2모오스 캐패시터(32, 33)는 제4도와 같은 특성을 갖게 된다. 여기서 $\frac{V_{cc}}{2}$ 전압 레벨일 경우에는 상기 모오스 캐패시터(32, 33)가 C_{ox} 와 C_{min} 의 중간 값을 갖도록 설정한다. 따라서 상기 신호증폭 수단(31)이 인에이블되면, 상기 제1비트라인(BL)에 게이트가 연결된 제1모오스 캐패시터(32)는 상기 제2비트라인(\overline{BL})에 게이트가 연결된 제2모오스 캐패시터(33)보다 더 큰 증폭도를 갖게 된다. 이는 상기한 바와 같이, 모오스 캐패시터의 게이트 도트에 바이어스된 전압 값에 따라 캐패시턴스의 용량이 달라지는 것을 이용하는 것으로, 상기 신호증폭 수단이 인에이블되면 1전압의 차를 갖는 제1 및 제2비트라인(BL, \overline{BL})

상기와 같이 제1 및 제2비트라인(BL, \overline{BL})간에 전압차가 2레벨로 커지게 되면, 감지증폭기(40)는 신속하게 데이터의 논리를 감지하여 데이터를 증폭시키게 된다. 즉, 라인(41)로 V_{cc} 레벨 전원을 공급하고 라인(42)로 VSS 레벨 전원을 공급하면, 피모오스 트랜지스터(43)가 제1비트라인(BL)의 신호전압 레벨에 의해 비도통되므로 피모오스 트랜지스터(42)가 도통되어 제1비트라인(BL)은 V_{cc} 전압 레벨로 상승한다. 또한 상기 제1비트라인(BL)이 V_{cc} 전압 레벨로 상승되면 엔모오스 트랜지스터(46)가 도통되므로 제2비트라인(\overline{BL})의 신호는 VSS 전압 레벨로 신속하게 하강된다. 따라서 상기 신호증폭기(30)에 의해 제1 및 제2비트라인(BL, \overline{BL})의 전압차를 크게함으로써, 상기 제1비트라인(\overline{BL})이 V_{cc} 전압 레벨로 상승하고,

상기 제2비트라인(\overline{BL})이 VSS 전압 레벨로 하강하는 시간이 빨라져, 전이시간을 빠르게 할 수 있는 동시에 안정된 감지 동작을 수행할 수 있게 된다. 두번째로 상기 메모리 셀(20)의 캐패시터(23)에 저장된 정보가 데이터 "0"일시의 동작 과정을 살펴본다. 먼저 등화과정을 통해 상기 제1 및 제2비트라인

(BL, \overline{BL})을 $\frac{V_{cc}}{2}$ 전압으로 프리차아지시킨 후 제3도의 (B1)과 같이 워드라인(21)을 인에이블시키

면, 상기 엔모오스 트랜지스터(22)가 도통되어 제1비트라인(BL)의 $\frac{V_{cc}}{2}$ 전압에 의해 캐패시터(23)는 충전 동작을 수행한다.

따라서 제3도의 (B4)와 같이 제2비트라인(\overline{BL})은 $V_{cc}/2$ 전압을 유지하지만, 제1비트라인(BL)은 제3도의 (B3)와 같이 $\frac{V_{cc}}{2} - 1$ 전압 레벨로 하강한다. 이후 제3도의 (B2)와 같이 신호증폭 수단(31)을 인에이블시키면, 비트라인(BL, \overline{BL})간에는 1전압차를 갖도록 바이어스되어 있으므로, 제4도와 같이 특성에 의해 제1모오스 캐패시터(32)는 제3도의 (B3)와 같이 제1비트라인(BL)의 신호를 증폭하고, 제2모오스 캐패시터(33)는 제3도의 (B4)와 같이 제2비트라인(\overline{BL})의 신호를 증폭한다. 따라서 상기 제1 및 제2비트라인(BL, \overline{BL})간에는 2전압차를 갖게되며, 이 경우 제2비트라인(\overline{BL})의 전압이 더 크게됨을 알 수 있다.

상기와 같이 신호증폭기(31)가 제1 및 제2비트라인(BL, \overline{BL})간의 전압차를 더 크게 증폭시키므로, 감지증폭기(40)는 상기한 바와 같이 신속하고 안정된 감지동작을 수행하게 된다. 즉, 피모오스 트랜지스터(43)가 도통되므로 제2비트라인(\overline{BL})을 V_{cc} 전압 레벨로 신속하게 상승되고, 엔모오스 트랜지스터(45)가 도통되므로 제1비트라인(BL)은 신속하게 V_{SS} 전압 레벨로 하강된다. 실험에 의하면 상기 모오스 캐패시터(32, 33)의 사이즈가 5mm인 경우 증폭도는 약 30mV가 된다. 또한 모오스 트랜지스터의 채널 주입 농도와 모오스 캐패시터의 주입 농도를 달리하면 모오스 캐패시터의 증폭율을 증가시킬 수 있다. 그리고 제1모오스 트랜지스터(32)의 캐패시턴스 용량과 제2모오스 캐패시터(33)의 캐패시턴스 용량을 동일하게 설정하면 효과적이다. 따라서 워드라인에 인에이블된후, 메모리 셀의 정보와 비트라인간에 전하공유가 되어 발생되어 전압차를 감지증폭기를 구동하기 전에 1차 증폭하여 전압차를 더 크게 함으로서, 감지증폭기에서는 신속하고 안정된 감지 기능을 수행할 수 있게 된다.

(57) 공구의 설계

청구항 1

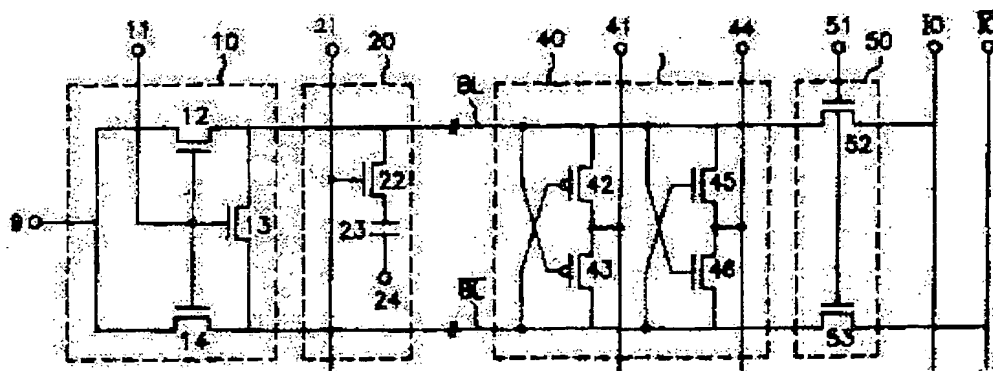
워드라인과, 제1 및 제2비트라인과, 동화신호 발생시 상기 제1 및 제2비트라인을 중간 전압 레벨로 프리차이지 하는 등화회로와, 상기 어드라인과 제1비트라인에 연결되며 소정의 데이터를 저장하는 메모리 셀과, 상기 제1 및 제2비트라인의 정보를 감지 및 증폭하는 감지 증폭기를 구비하는 반도체 메모리 장치에 있어서, 상기 워드라인의 인에이블후 소정시간 뒤에 인에이블되는 신호증폭 수단과, 상기 제1비트라인에 게이트가 연결되고 상기 신호증폭 수단에 소오스 및 드레인이 공통 연결되는 제1모오스 캐패시터와, 상기 제2비트라인에 게이트가 연결되고 상기 신호증폭 수단에 소오스 및 드레인이 공통 연결되는 제2모오스 캐패시터로 구성되어, 상기 제1 및 제2모오스 캐패시터가 게이트 노드의 전압 바이어스에 의해 캐패시턴스 용량이 변화되어 제1 및 제2비트라인의 전압차를 상기 감지증폭기보다 먼저 증폭하므로 상기 감지증폭기가 신속하고 안정된 감지 기능을 수행하도록 동작함을 특징으로 하는 반도체 메모리 장치의 데이터 감지 증폭회로.

청구항 2

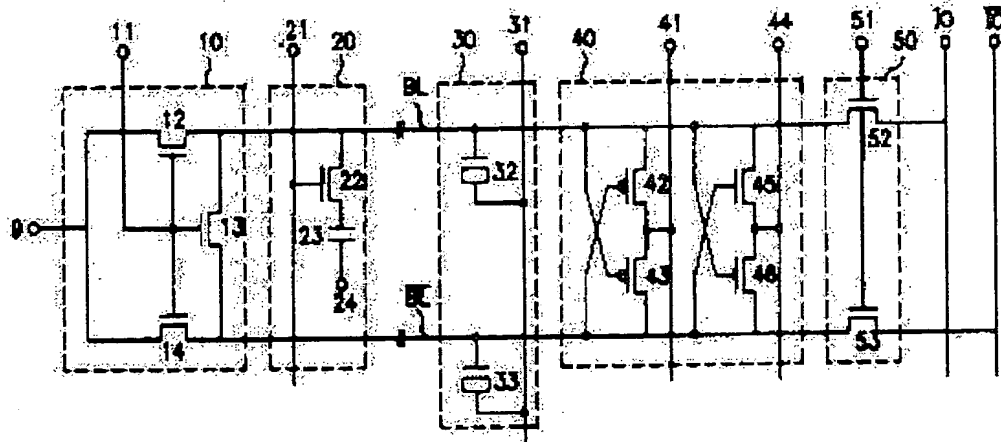
제1항에 있어서, 상기 제1모오스 캐패시터의 캐패시턴스 용량이 상기 제2모오스 캐패시터의 캐패시턴스 용량과 같음을 특징으로 하는 반도체 메모리 장치의 데이터 감지 증폭회로.

도면

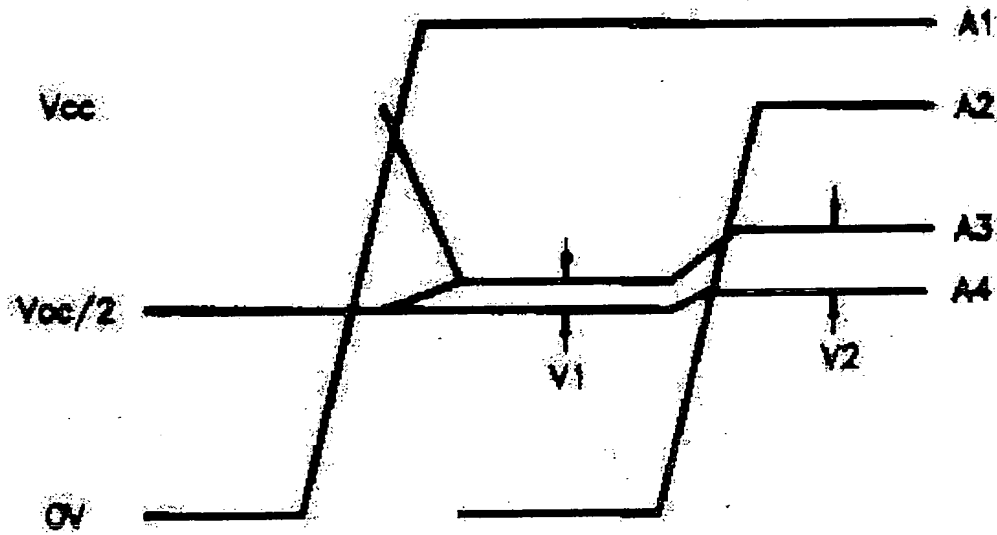
도면1



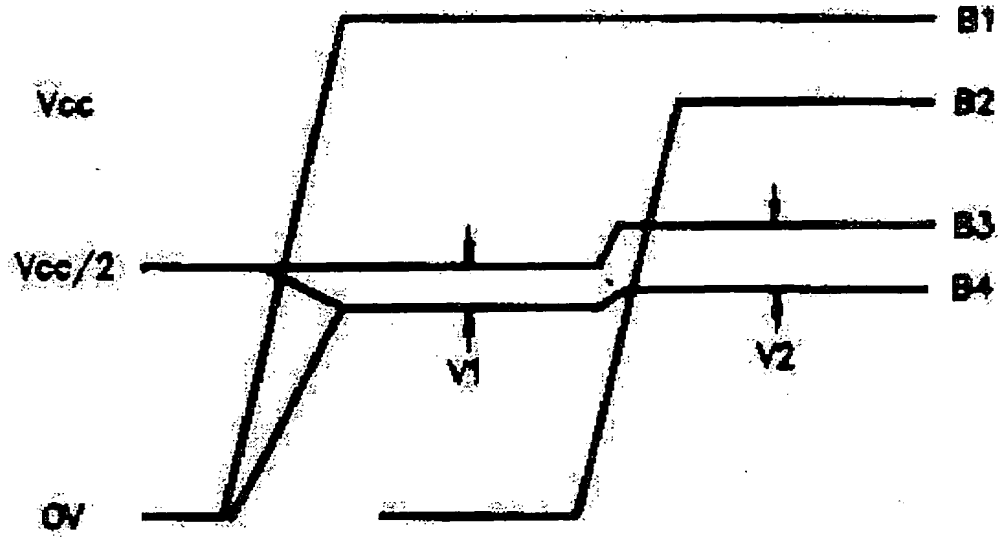
EB2



EB3-A



CD3-8



CD4

